

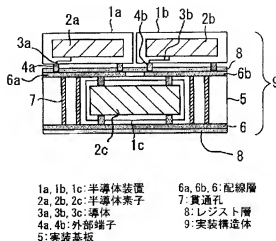
(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 1 L 25/10		H 0 1 L 25/14	Z
25/11		23/12	Z
25/18		23/52	C
23/12			
23/52			
審査請求 未請求 請求項の数 7 ○ L (全 6 頁)			
(21) 出願番号	特願平11-212757	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成11年7月27日 (1999.7.27)	(72) 発明者	富田 至洋 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74) 代理人	100082175 弁理士 高田 守 (外1名)

(54) 【発明の名称】 半導体装置の実装構造および実装方法

(57) 【要約】

【課題】 複数の半導体装置を実装基板上に搭載する場合であっても、小型で、かつ高速伝送に対応することができる半導体装置の実装構造および実装方法を提供する。

【解決手段】 半導体装置10を実装基板5の両面に形成された配線層または伝送路6等の間に内包するような構造を用いることにより配線距離を短縮することができる。実装構造体9全体を小型化することができる。配線距離を短縮できた結果、電気抵抗値も低減させることができるため、電気的特性が向上し高速伝送を可能とすることができる。半導体装置1を導線6cを芯とする円筒状等構成することにより、高い電気的特性を得ることができる。円筒状に構成した実装構造体9の側面からも外部端子4を全面に引き出すことを可能としたため、実装面積に対して多数の外部端子数を配置することができ、実装構造体9の小型化を可能とすることができる。



1a, 1b, 1c: 半導体装置
2a, 2b, 2c: 半導体素子
3a, 3b, 3c: 半導体層
4a, 4b: 外部端子
5: 実装基板
6a, 6b, 6c: 配線層
7: 貫通孔
8: レジスト層
9: 実装構造体

【特許請求の範囲】

【請求項 1】 少なくとも 1 対の半導体装置と、前記少なくとも 1 対の半導体装置の各々と接続された少なくとも 1 対の配線層と、

前記少なくとも 1 対の配線層が片面側に形成され、前記少なくとも 1 対の配線層と異なる他の配線層が他方の片面側に形成された実装基板とを備え、

前記少なくとも 1 対の配線層の両方と接続され、かつ前記少なくとも 1 対の配線層と前記他の配線層との間に内包された半導体装置を設けたことを特徴とする半導体装置の実装構造。

【請求項 2】 前記実装基板の他方の片面側に、前記内包された半導体装置と接続された少なくとも 1 対の半導体装置をさらに備えたことを特徴とする請求項 1 記載の半導体装置の構造。

【請求項 3】 実装基板と、前記実装基板の両面側に形成された配線層と、前記両面側に形成された配線層の各々に接続して形成された半導体装置と、前記実装基板内に形成された前記両面側に形成された配線層を接続する貫通孔とを備え、

前記貫通孔内に、前記両面側に形成された配線層の各々に形成された半導体装置を接続する内包された半導体装置を設けたことを特徴とする半導体装置の実装構造。

【請求項 4】 所定の断面形状に形成された導線と、前記導線を芯として該導線上に形成された半導体装置と、

前記半導体装置の外周面上に形成されたパンプと、前記半導体装置を芯として前記パンプを介し形成された配線層と、

前記配線層の外周面上に形成された端子とを備え、前記導線と前記パンプとを接続する配線を前記半導体装置の内部に設けたことを特徴とする半導体装置の実装構造。

【請求項 5】 前記所定の断面形状は円形であることを特徴とする請求項 4 記載の半導体装置の実装構造。

【請求項 6】 前記配線層は多層構造を有することを特徴とする請求項 1 ないし 5 のいずれかに記載の半導体装置の実装構造。

【請求項 7】 半導体装置の片面上にパンプを形成するパンプ形成工程と、前記パンプが片面上に形成された半導体装置を、所定の断面形状を有する導線を芯として該導線上にダイボンディングするダイボンディング工程と、

前記ダイボンディングされた半導体装置を芯として、該半導体装置上に形成されたパンプを介し配線層を形成する配線層形成工程と、

前記配線層の外周面上に端子を形成する工程とを備え、前記導線と前記パンプとを接続する配線を前記半導体装置の内部に設けたことを特徴とする半導体装置の実装方

法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の実装構造および実装方法に関し、特に半導体装置が実装基板内に内包された半導体装置の実装構造および実装方法に関する。

【0002】

【従来の技術】 図 6 は、従来の半導体装置の実装構造を有する実装構造体の側断面図を示す。図 6 において、符号 2 は半導体素子、1 は半導体素子 2 を有する半導体装置等の回路構造体（以下、「半導体装置」という）、3 は半導体素子 2 から導出された導体、4 は導体 3 を介して半導体素子 2 と電気的に接続され、外部と導通する外部端子、5 は実装基板、6 は実装基板 5 の両面に形成された配線層であって、外部端子 4 および導体 3 を介して半導体素子 2 と電気的に接続された配線層、7 は実装基板 5 内に形成された貫通孔であって、両面に形成された配線層 6 の間を電気的に接続する貫通孔、8 は配線層 6 を保護するレジスト層、9 は半導体装置 1 ないしレジスト層 8 を包括する実装構造体である。図 6 に示されるように、複数の半導体装置 1 を実装基板 5 上に搭載する従来の実装構造体 9 においては、複数の半導体装置 1 を実装基板 5 上に並列に搭載していた。

【0003】

【発明が解決しようとする課題】 上述のように、従来の半導体装置の実装構造を有する実装構造体は、複数の半導体装置 1 を実装基板 5 上に並列に搭載していたため、配線層 6 の領域が広くなり、実装構造体 9 の小型化が困難であり、かつ高速伝送に対応することが困難であるという問題があった。そこで、本発明の目的は、上記問題を解決するために必要なものであり、複数の半導体装置を実装基板上に搭載する場合であっても、小型で、かつ高速伝送に対応することができる半導体装置の実装構造および実装方法を提供することにある。

【0004】

【課題を解決するための手段】 この発明の半導体装置の実装構造は、少なくとも 1 対の半導体装置と、前記少なくとも 1 対の半導体装置の各々と接続された少なくとも 1 対の配線層と、前記少なくとも 1 対の配線層が片面側に形成され、前記少なくとも 1 対の配線層と異なる他の配線層が他方の片面側に形成された実装基板とを備え、前記少なくとも 1 対の配線層の両方と接続され、かつ前記少なくとも 1 対の配線層と前記他の配線層との間に内包された半導体装置を設けたものである。

【0005】 ここで、この発明の半導体装置の実装構造は、前記実装基板の他方の片面側に、前記内包された半導体装置と接続された少なくとも 1 対の半導体装置をさらに備えることができるものである。

【0006】 この発明の半導体装置の実装構造は、実装

基板と、前記実装基板の両面側に形成された配線層と、前記両面側に形成された配線層の各々に接続して形成された半導体装置と、前記実装基板内に形成された前記両面側に形成された配線層を接続する貫通孔とを備え、前記貫通孔内に、前記両面側に形成された配線層の各々に形成された半導体装置を接続する内包された半導体装置を設けたものである。

【0007】この発明の半導体装置の実装構造は、所定の断面形状に形成された導線と、前記導線を芯として該導線上に形成された半導体装置と、前記半導体装置の外周面上に形成されたパンプと、前記半導体装置を芯として前記パンプを介し形成された配線層と、前記配線層の外周面上に形成された端子とを備え、前記導線と前記パンプとを接続する配線を前記半導体装置の内部に設けたものである。

【0008】ここで、この発明の半導体装置の実装構造において、前記所定の断面形状は円形とすることができるものである。

【0009】ここで、この発明の半導体装置の実装構造において、前記配線層は多層構造を有することができるものである。

【0010】この発明の半導体装置の実装方法は、半導体装置の片面上にパンプを形成するパンプ形成工程と、前記パンプが片面上に形成された半導体装置を、所定の断面形状を有する導線を芯として該導線上にダイボンディングするダイボンディング工程と、前記ダイボンディングされた半導体装置を芯として、該半導体装置上に形成されたパンプを介し配線層を形成する配線層形成工程と、前記配線層の外周面上に端子を形成する工程とを備え、前記導線と前記パンプとを接続する配線を前記半導体装置の内部に設けたものである。

【0011】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

【0012】実施の形態1.図1は、本発明の実施の形態1における半導体装置の実装構造を有する実装構造体の側断面図を示す。図1において、符号2a、2bは半導体素子、1a、1bは各々半導体素子2a、2bを有する半導体装置、3a、3bは各々半導体素子2a、2bから導出された導体、4a、4bは各々導体3a、3bを介して半導体素子2a、2bと電気的に接続され、外部と導通する外部端子、5は実装基板、6、6a、6bは実装基板5の両面に形成された配線層または伝送路であって、配線層6aは外部端子4aおよび導体3aを介して半導体素子2aと電気的に接続され、配線層6bは外部端子4bおよび導体3bを介して半導体素子2bと電気的に接続されている。続いて、符号7は実装基板5内に形成され、両面に形成された配線層6aまたは6bと6との間を電気的に接続する貫通孔、8は配線層6、6a、6bを保護するレジスト層、9は半導体装置

1ないしレジスト層8を包括する実装構造体、1cは実装基板5の上側側の配線層6aおよび6bと下側側の配線層6との間に内包するように設けられた半導体素子2cを有する半導体装置である。

【0013】図1に示されるように、本実施の形態1においては、複数の半導体装置1を实装基板5上の信号の配線層または伝送路6に対して電気的に導通が得られるように搭載する場合、半導体装置1cを実装基板5の両面に形成された配線層6aおよび6bと配線層6との間に内包するような構造を用いている。半導体装置1cは、配線層6aを介して半導体装置1aと接続され、配線層6bを介して半導体装置1bと接続されており、半導体装置1aと半導体装置1bとを接続している。上述のように、例えば同じく3台の半導体装置1を搭載した従来例(図5)と比較して、配線距離を約2/3とすることができ、実装構造全体を小型化することができる。さらに、配線距離を短縮できた結果、電気抵抗値も例えば従来例(図5)と比較して約2/3と低減させることができるため、電気的特性が向上し高速伝送が可能とすることができる。

【0014】本実施の形態1においては、実装基板5の両面に配線層6a、6bおよび6を形成する構造を説明したが、実装基板5上に形成される配線層6等の層の数は何層であってもよい。半導体装置は1対のみ示されているが、少なくとも1対あればよく、搭載する半導体装置の数は制限されるものではない。さらに、図1では実装基板5の上側面に半導体装置が搭載されているが、下側面であってもよい。半導体素子2a等は半導体装置1a等の内部に形成されているが、半導体素子2a等を直接外部端子に接続し、または半導体素子10aを直接的に内包させることもできる。

【0015】以上より、実施の形態1によれば、半導体装置1cを実装基板5の両面に形成された配線層または伝送路6等の間に内包するような構造を用いることにより配線距離を短縮することができるため、実装構造体9全体を小型化することができる。さらに、配線距離を短縮できた結果、電気抵抗値も低減させることができるため、電気的特性が向上し高速伝送が可能とすることができる。

【0016】実施の形態2.図2は、本発明の実施の形態2における半導体装置の実装構造を有する実装構造体の側断面図を示す。図2で図1と同じ符号を付した部分は同じ機能が有するため説明は省略する。図2において、符号6cは中央に芯状に設けられた例えば電源またはグランドGND(電源/グランド)等の導線、6dは半導体素子の内部を例えば貫通して設けられた、導線6cから外部端子4へ導通する配線である。

【0017】図2に示されるように、実装構造体9を導線6cを芯とする円筒状に構成し、かつ半導体素子2を基板5(不図示)上の配線6と電源/グランド等の導線

6 c とでカップリングした構造としたいため、電気抵抗値を低減させることができ、高い電気的特性を得ることができる。さらに、円筒状に構成した半導体装置 1 の側面からも外部端子 4 を全面に引き出すことを可能としたため、実装面積に対して多数の外部端子数を配置することができ、半導体装置 1 の小型化を可能とすることができる。

【0018】図 3 は、本発明の実施の形態 2 における半導体装置の実装構造を有する実装構造体の製造方法をフローチャートと図とで示す。図 3 で図 1 または図 2 と同じ符号を付した部分は同じ機能を有するため説明は省略する。図 3 (A) に示されるように、平坦パンプ 3 が形成された半導体素子 2 を、導線 6 c に対して矢印 A 1 および A 2 の方向に曲げて、図 3 (B) に示されるように、導線 6 c を芯とする円筒状にダイオンドする（工程 P 1 0）。次に図 3 (C) に示されるように、導線 6 c を芯として円筒状に構成された半導体素子 2 に対して配線 6 を円筒状にフリップチップボンドする（工程 P 1 1）。最後に図 3 (D) に示されるように、円筒状に構成された配線 6 c の側面全面から引き出すように外部端子 4 を形成する（工程 P 1 2）。図 3 (A) ないし図 3 (D) に示されるように、極めて平易な製造プロセスにより本実施の形態 2 に示される実装構造を有する実装構造体 9 を得ることができる。

【0019】本実施の形態 2 においては、半導体素子 2 を導線 6 c を芯とする円筒状に構成する例を説明したが、半導体装置 1 の断面の形状を必ずしも真円状に構成する必要はない。半導体装置 1 の断面の形状は楕円状、多角形状等であってもよく、半導体素子 2 を包括することが出来る形状であれば効果は同等である。外部端子 4 も半導体装置 1 の断面形状によらずに、その側面から引き出すことができる。

【0020】以上より、実施の形態 2 によれば、実装構造体 9 を導線 6 c を芯とする円筒状等に構成することにより、高い電気的特性を得ることができる。さらに、円筒状に構成した実装構造体 9 の側面からも外部端子 4 を全面に引き出すことを可能としたため、実装面積に対して多数の外部端子数を配置することができ、実装構造体 9 の小型化を可能とすることができる。

【0021】実施の形態 3、図 4 は、本発明の実施の形態 3 における半導体装置の実装構造を有する実装構造体の側断面図を示す。図 4 で図 1 ないし図 3 と同じ符号を付した部分は同じ機能を有するため説明は省略する。

【0022】図 4 に示されるように、実施の形態 1 に示された構造に加えて、さらに配線層 6 側にも半導体装置 1 d および 1 e を積層し、内包された半導体装置 1 c を介して、実装基板 5 の上側の半導体装置 1 a および 1 b と下側の半導体装置 1 d および 1 e とを電氣的に接続することにより、実施の形態 1 と比較してより多数の半導体装置 1 から構成される実装構造体 9 全体を小型化可能

としている。この結果、半導体装置 1 間の配線距離を短縮することができるため、実装構造体 9 全体を高速伝送可能とすることができる。

【0023】本実施の形態 3 においては、実装基板 5 の上側にある 1 対の半導体装置 1 a および 1 c に対して、下側にある 1 対の半導体装置 1 d および 1 e を内包された 1 つの半導体装置 1 c を介して積層し、電氣的に接続する構成例を説明したが、組み合わせられる半導体装置 1 a 等の数に制約があるものではない。

【0024】以上より、実施の形態 3 によれば、実施の形態 1 に加えて、実装基板 5 の上側にある 1 対の半導体装置 1 a および 1 c に対して、下側にある 1 対の半導体装置 1 d および 1 e を内包された 1 つの半導体装置 1 c を介して積層し、電氣的に接続することにより、実施の形態 1 と比較してより多数の半導体装置 1 から構成される実装構造体 9 全体を小型化可能としている。この結果、半導体装置 1 間の配線距離を短縮することができるため、実装構造体 9 全体を高速伝送可能とすることができる。

【0025】実施の形態 4、図 5 は、本発明の実施の形態 4 における半導体装置の実装構造を有する実装構造体の側断面図を示す。図 5 で図 1 ないし図 4 と同じ符号を付した部分は同じ機能を有するため説明は省略する。

【0026】実施の形態 1 においては、半導体装置 1 c を配線層または伝送路 6 間の実装基板 5 内に内包するような構造を用いていたが、本実施の形態 4 においては、実装基板 5 の上面にある配線層 6 e と下面にある配線層 6 との間を電氣的に導通する貫通孔 7 の中に、半導体装置 1 f を内包させる構造を用いている。この内包された半導体装置 1 f により、配線層 6 e 側の半導体装置 1 b と配線層 6 側の半導体装置 1 d とを接続している。この結果、実装基板 5 全体の面積を小型化することができ、実装構造体 9 全体を小型化することができる。

【0027】本実施の形態 4 においては、貫通孔 7 が 1 個であり、半導体装置が 1 b と 1 d の 2 個である場合の例を説明したが、貫通孔 7 の数、半導体装置 1 b、1 d 等の数に制限はなく、配線層の数にも制限はない。

【0028】以上より、実施の形態 4 によれば、貫通孔 7 の中に、半導体装置 1 f を内包させる構造を用いた結果、実装基板 5 全体の面積を小型化することができる。実装構造体 9 全体を小型化することができる。

【0029】【発明の効果】以上説明したように、本発明の半導体装置の実装構造および実装方法によれば、複数の半導体装置を実装基板上に搭載する場合であっても、実装基板の両面に形成された配線層または伝送路間に半導体装置を内包することにより、小型で、かつ高速伝送に対応することができる半導体装置の実装構造および実装方法を提供することができる。

【図面の簡単な説明】

8

実装構造を有する実装構造体の側断面図である。

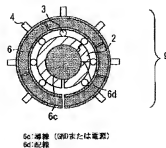
【図6】 従来の半導体装置の実装構造を有する実装構造体の側断面図である。

【符号の説明】

1 a、1 b、1 c、1 d、1 e、1 f 半導体装置、
2 a、2 b、2 c 半導体素子、 3 a、3 b 導体、
4 a、4 b 外部端子、 5 実装基板、6 a、6
b、6 c、6 d、6 配線層、 7 貫通孔、 8 レ
ジスト、 9 実装構造体。

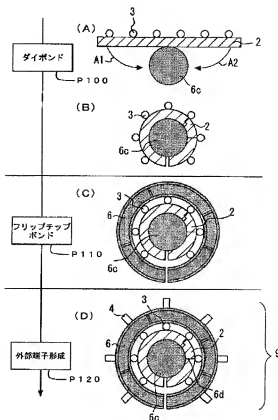
10

【图2】



6c:導線 (GNDまたは電源)
6d:配線

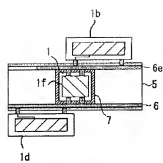
【图 3】



1d, 1e: 半導體裝置

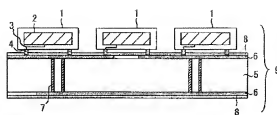
外部端子形成

【図5】



1f:半導体装置
6e:配線層

【図6】



1:回路構造体
2:半導体素子
3:導体
4:外部端子
5:実装基板
6:配線層
7:貫通孔
8:レジスト層
9:実装構造体